

Corso di Laurea in Ingegneria delle Telecomunicazioni
Sistemi di Elaborazione-22 luglio 2003

Esercizio 1.

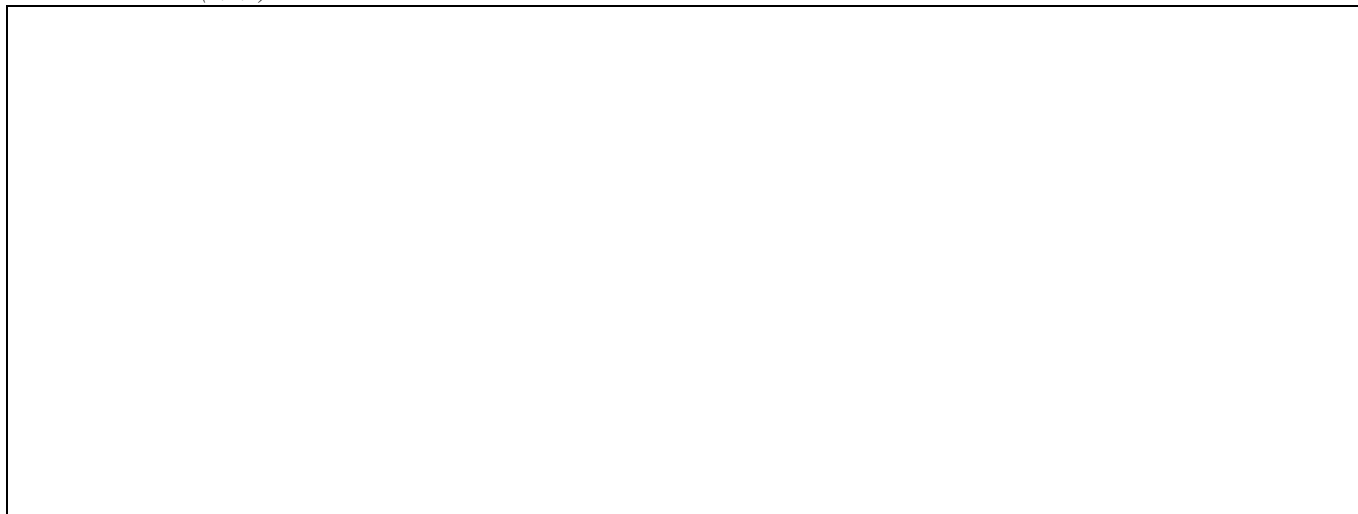
Si progetti il grafo degli stati di una macchina sequenziale che accetti 3 possibili stati d'ingresso, A, B e C, e tale che l'uscita della macchina valga 1 ogni volta che si è presentata una delle sequenze $AB^{2n}C$ oppure $BC^{2m+1}A$, con $n > 0$ e $m \geq 0$, 0 altrimenti.



Esercizio 2.

Utilizzando *una* ROM con la struttura vista a lezione (decoder+porte OR), realizzare le seguenti funzioni combinatorie a tre ingressi Z1 e Z2:

- $z1 = Z1(a,b,c) = a \cdot \bar{c} + \bar{b} \cdot c$
- $z2 = Z2(a,b,c) = a \cdot b + a \cdot \bar{c}$




Esercizio 3.

Si definisca il microprogramma di un sistema Mo-Mo in grado di eseguire le seguenti operazioni :

$$0: (2^N - 2^M) * A \rightarrow A$$

$$1: \lg(M+B) * 2^N \rightarrow B .$$

Si considerino M,N dati esterni in complemento a 2 e >0 .



Esercizio 4.

Un bus e' dotato delle seguenti linee: una linea *CLK* per trasportare il segnale di clock, un insieme di linee per gli indirizzi (*Address*), un insieme di linee (*Cmd*) per indicare il tipo di operazione (lettura/scrittura, memoria/IO), un insieme di linee per il trasporto dei dati (*Data*), una linea */REQ* pilotata dal master, una linea */RDY* pilotata dallo slave.

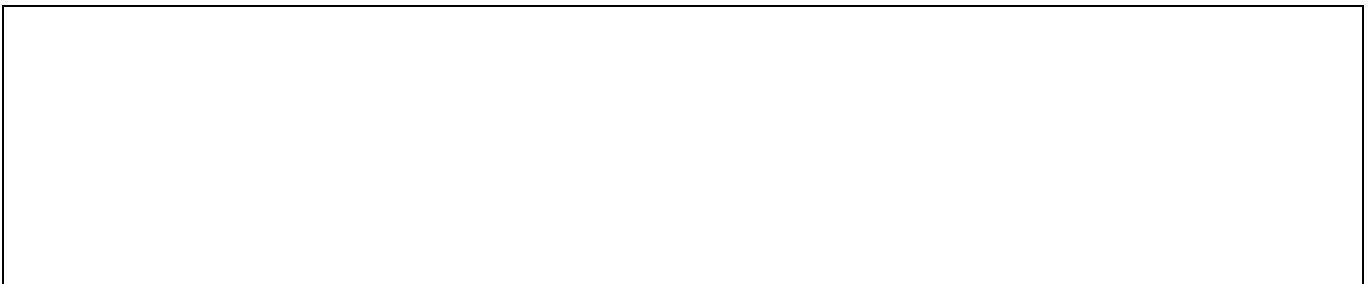
Il ciclo di lettura standard ha una durata di 8 periodi di clock ($T_1 - T_8$): a partire dal fronte in salita di T_1 il master pilota le linee degli indirizzi e le linee *Cmd* (con un ritardo T_{ad}).

A partire dal fronte in discesa di T_1 (a meta' periodo) il master asserisce la linea */REQ* (con un ritardo T_{r1}). Il master memorizza i dati in corrispondenza del fronte in discesa a meta' di T_8 . Affinche' i dati vengano memorizzati correttamente e' necessario che siano stabili da un tempo T_{ds} . Durante tutta l'operazione lo slave mantiene */RDY* ad 1. Nel caso che lo slave sia in grado di rispondere in un tempo piu' breve puo' accorciare il ciclo asserendo la linea */RDY*.

a) Di quanti cicli di clock puo' essere accorciato il ciclo di lettura standard nel caso che:

- La frequenza f di clock sia pari a 40 MHz
- $T_{ad} \leq 6$ ns
- $T_{ds} \geq 9$ ns
- Lo slave e' in grado di rispondere in 90 ns a partire dall'istante in cui vengono forniti gli indirizzi.

(fornire formula e risultato numerico)



b) Scrivere qual'è il tempo di risposta massimo per uno slave che funziona con questo bus.
(fornire formula e risultato numerico)

Esercizio 5.

Si specifichi l'effetto del seguente frammento di programma sulle locazioni di memoria interessate.

<pre>ciclo: MOVL EAX,\$100 PUSHL (EAX) ADDL EAX, \$4 CMPL EAX, \$500 JNE ciclo CALL sub fine: </pre>	<pre>sub: MOVL EAX, \$100 estrai: POP (EAX) ADDL EAX, \$4 CMPL EAX, \$500 JNE estrai RET</pre>	
--	---	--